

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-043640

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

G02F 1/136

G02F 1/1343

(21)Application number : 07-215385

(71)Applicant : SONY CORP

(22)Date of filing : 31.07.1995

(72)Inventor : SATO TAKUO

IWANAGA TOSHIHIKO

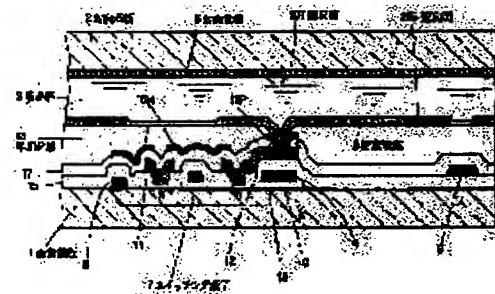
HASHIMOTO YOSHIHIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a short-circuit defect due to the rubbing treatment between micronized pixel electrodes.

SOLUTION: A liquid crystal display is provided with a counter substrate 2 having an oriented surface 20T, a picture element substrate 1 having similarly the oriented surface 20B and a panel structure equipped with a liquid crystal layer 3 held between both oriented surfaces 20T, 20B. The counter substrate 2 is equipped with a counter electrode 5 continuously formed along the oriented surface 20T. The picture substrate 1 is equipped with at least plural numbers of switching element 7, a flattened film 18 for levelling rugged parts by coating the switching elements 7, and a picture element electrode 6 which is dividedly formed on the flattened film 18 along the oriented surface 20B and is individually driven by the switching elements 7. The picture element electrode 6 is constituted of a transparent electrically



conductive film which is made thin within the thickness range of 10nm to 60nm, thereby preventing the generation of fiber chips in the course of rubbing process.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] It has the panel structure equipped with the opposite substrate which has an orientation side, the pixel substrate which similarly has an orientation side, and the liquid crystal layer held between both orientation sides. Said opposite substrate is equipped with the counterelectrode continuously formed along this orientation side. The switching element of at least plurality [substrate / said / pixel], It has the pixel electrode which it is formed in division on this flattening film along the flattening film which covers this switching element and buries irregularity, and an orientation side, and is separately driven by this switching element. Said pixel electrode is a liquid crystal display with which thickness consists of transparence electric conduction film thin-film-ized in the range which is 10nm - 60nm.

[Claim 2] Said pixel electrode is a liquid crystal display according to claim 1 each other separated at intervals of 5 micrometers or less.

[Claim 3] It is the liquid crystal display according to claim 1 which said pixel substrate contains the orientation coat which covers this pixel electrode, and rubbing processing is performed to this orientation coat, and forms an orientation side.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the liquid crystal display of a active-matrix mold. It is related with the structure of a pixel electrode in more detail.

[0002]

[Description of the Prior Art] The liquid crystal display is briskly used for television, graphic display, etc. Also in it, especially the liquid crystal display of a active-matrix mold has high-speed responsibility, and fits high pixel number-ization, it is expected as what realizes high-definition-izing of a display screen, enlargement, colorization, etc., and there are some which researches and developments were furthered and were already put in practical use. The liquid crystal display of a active-matrix mold has the flat panel structure which generally consists of a pixel substrate, an opposite substrate, and a liquid crystal layer held among both. The conventional structure of a pixel substrate is shown in drawing 2 . The pixel substrate 101 uses transparence plates, such as glass, and accumulation formation of the switching elements 102, such as a thin film transistor, is carried out on it. Since it is easy by a diagram, only one switching element is shown. This switching element 102 is covered with the flattening film 103, and patterning formation of the pixel electrode 104 which consists of transparence electric conduction film on it is carried out. Rubbing of the front face of the pixel electrode 104 is carried out in the predetermined direction by the cloth material (buff) 105, and it constitutes the orientation side over a liquid crystal layer. In addition, rubbing is performed after covering the pixel electrode 104 with a predetermined orientation coat depending on the case. With this structure, in order to bury a switching element 102 and the irregularity of wiring, the flattening film 103 is used. The flattening film 103 serves as an indispensable component with detailed-izing of a pixel. Since patterning of the pixel electrode 104 is carried out on this flattening film 103, the orientation side is extremely excellent in surface smoothness. Therefore, rubbing using the cloth material 105 can carry out to homogeneity, and can control the abnormalities in orientation of a liquid crystal layer notably.

[0003]

[Problem(s) to be Solved by the Invention] However, since flattening of the orientation side was carried out, the level difference 106 in the edge of the pixel electrode 104 by which patterning was carried out to reverse has come to be conspicuous. The fiber 107 of the cloth material 105 was caught in this level difference 106, this could be deleted, and the dust (buff dregs) 108 of the minute organic substance was generated. These buff dregs 108 adhere to an orientation side, and intervene between the pixel electrodes 104 which adjoin depending on the case. The buff dregs 108 use a cellulose as a principal component, adsorb moisture etc., and cause current leak. Current leak arose, when the buff dregs 108 adhered over

between the adjoining pixel electrodes 104, it became the point defect which is a pixel and appeared, and the technical problem that display grace was spoiled remarkably occurred. Since the amount of leakage current of the buff dregs 108 reached a 10⁻¹⁰ A grade to the leakage current level of the thin film transistor which constitutes a switching element 102 being for example, a 10⁻¹³ A grade, it had become the serious cause of a point defect. These buff dregs 108 could not be easily removed by ultrasonic cleaning, but a cure was desired.

[0004]

[Means for Solving the Problem] The following means were provided in order to solve the technical problem of a Prior art mentioned above. That is, the liquid crystal display concerning this invention has the panel structure equipped with the opposite substrate which has an orientation side, the pixel substrate which similarly has an orientation side, and the liquid crystal layer held between both orientation sides as a fundamental configuration. Said opposite substrate is equipped with the counterelectrode continuously formed along this orientation side. Said pixel substrate is equipped with the pixel electrode which it is formed in division on this flattening film along the flattening film which covers two or more switching elements and these switching elements, and buries irregularity at least, and an orientation side, and is separately driven by this switching element. Said pixel electrode consists of transparence electric conduction film thin-film-ized in the range whose thickness is 10nm - 60nm as a description matter. In the one embodiment of this invention, said pixel electrode of each other is separated at intervals of 5 micrometers or less. Moreover, according to other modes, said pixel substrate contains the orientation coat which covers this pixel electrode, rubbing processing is performed to this orientation coat, and it forms an orientation side.

[0005] According to this invention, the pixel electrode by which patterning formation was carried out on the flattening film consists of transparence electric conduction film thin-film-ized in [thickness] 10nm - 60nm. By thin-film-izing the pixel electrode located in the maximum upper layer along an orientation side, the level difference which appears in an orientation side is controlled. Thereby, generating of the buff dregs at the time of rubbing processing (dust of the organic substance) is prevented, and it becomes possible to suppress a pixel inter-electrode short circuit defect.

[0006]

[Embodiment of the Invention] An operation gestalt with the best liquid crystal display applied to this invention with reference to a drawing below is explained to a detail. Drawing 1 is the typical sectional view showing the fundamental configuration of this liquid crystal display. This liquid crystal display is assembled using the pixel substrate 1 and the opposite substrate 2 of a couple by which confrontation arrangement was carried out through the predetermined gap so that it may illustrate. The pixel substrate 1 is equipped with orientation side 20B, and, similarly is equipped with orientation side 20T for the opposite substrate 2. The liquid crystal layer 3 is poured into the gap of both the substrates 1 and 2, it is pinched by the orientation sides 20T and 20B from the upper and lower sides, and the orientation condition is controlled. For example, the pneumatic liquid crystal layer 3 pinched by the orientation sides 20T and 20B by which rubbing was carried out in the direction which intersects perpendicularly mutually presents a twist orientation condition as everyone knows. The opposite substrate 2 is equipped with the counterelectrode 5 continuously formed along with orientation side 20T. The pixel substrate 1 is equipped with the pixel electrode 6 which it is formed in division on the flattening film 18 along with the flattening film 18 which covers two or more switching elements 7 and this switching element 7, and buries irregularity at least, and orientation side 20B, and is separately driven by the switching element 7. This switching element 7 consists of a thin film transistor. The pixel electrode 6 consists of transparence electric conduction film thin-film-ized in the range whose thickness is 10nm - 60nm as a description matter of this invention. Moreover, it has dissociated mutually at intervals of 5 micrometers or less, and this pixel electrode 6 is made detailed. Furthermore, the pixel substrate 1 contains the orientation coat which covers the pixel electrode 6, rubbing processing is performed to this orientation coat, and it forms orientation side 20B.

[0007] Conventionally, the thickness of the transparence electric conduction film which constitutes the pixel electrode 6 was set as about 100-150nm. For example, 130-140nm thickness is used abundantly. Thus, the reason using the comparatively thick transparence electric conduction film is because the optimization and level difference coverage of light transmission by interference were thought as important. That is, if thickness is set as about 100-150nm, the echo of the light by thin film interference can be controlled, and optimization of permeability can be attained. Furthermore, in order to fully cover the level difference which appears in a substrate and to maintain the surface smoothness of an orientation side, about 100-150nm comparatively thick thickness was adopted. However, in this thickness, since the fiber of the cloth material for rubbing was caught in the edge of a pixel electrode and buff dregs

were generated in a large quantity, the short circuit defect between pixels had been produced. Then, the thickness of the transference electric conduction film was controlled by this invention to 60nm or less, and the pixel electrode was formed. When it was thickness of this level, the fiber of cloth material was not caught in the edge of the transference electric conduction film. Although it falls a little by interference about permeability, within liquid crystal panel structure, about 95% or more can be secured in a light region, and it is satisfactory practically. Since flattening of the substrate of the transference electric conduction film has been beforehand carried out by the flattening film also about level difference coverage, especially a problem is not produced even if it thin-film-izes a pixel electrode. By the way, generally the orientation coat which covers a pixel electrode consists of a polyimide film etc., and the thickness is 30nm - about 100nm. It is preferably controlled by 40nm - about 50nm. On the other hand, if the thickness of the transference electric conduction film which constitutes a pixel electrode is controlled to 60nm or less, since the level difference of an end face will be substantially eased with an orientation coat, buff dregs are hardly generated. It is difficult to acquire a uniform presentation on the other hand, if thickness of the transference electric conduction film is thin-film[super-]-ized to 10nm or less. So, in this invention, 10nm - 60nm is set up as optimal thickness range of the transference electric conduction film. For example, if transference electric conduction film, such as ITO, is formed by sputtering in [thickness] 30nm**5nm, the thickness conditions of this invention can fully be fulfilled. In this case, since the fiber of cloth material is hardly caught in the edge of a pixel electrode and buff dregs are not generated, the short circuit defect between pixels can be prevented. In addition, generally, buff dregs have the high field copies-bound-together-in-one-volume effect of the invention which especially spacing of a pixel electrode made detailed to 5 micrometers or less since it was minute, and a point defect can be controlled substantially. The ingredient of the transference electric conduction film is not restricted to ITO, and may use tin oxide and an organic transference electrical conducting material.

[0008] With reference to drawing 1, the configuration of this liquid crystal display is explained concretely succeedingly. The pixel substrate 1 has the pixel 4 which carried out matrix arrangement. In addition, only one pixel is taken out and expressed by a diagram. The pixel substrate 1 is divided into a management, the medium-rise section, and the lower layer section. The management contains the pixel electrode 6 formed every pixel 4, and patterning formation is done on the flattening film 18. This pixel electrode 6 consists of transference electric conduction [which was mentioned above] film by which thickness was set as 10nm - 60nm like. The pixel electrode 6 is covered with the orientation coat which consists of polyimide etc., rubbing is given to this orientation coat by cloth material etc., and it forms orientation side 20B. On the other hand, the lower layer section includes the signal wiring 9 which supplies a predetermined picture signal to the train of a switching element 7 corresponding to each train of the scan wiring 8 which scans the line of a switching element 7 corresponding to each line of the 7 pixel switching element 4 which drives each pixel electrode 6, and a pixel 4. In addition, the switching element 7 consists of thin film transistors, and uses the semi-conductor thin film 10 which consists of polycrystalline silicon etc. as a barrier layer. On the semi-conductor thin film 10, patterning formation of the gate electrode G is carried out through gate dielectric film. This gate electrode G is following the scan wiring 8 mentioned above. The thin film transistor equips the both sides of the gate electrode G with the source field S and the drain field D. One drawer electrode 11 has connected with the source field S side, and the signal wiring 9 mentioned above is followed. The drawer electrode 12 of another side has connected with the drain field D. In addition, in addition to the thin film transistor mentioned above, the auxiliary capacity 13 is also formed in the semi-conductor thin film 10. This auxiliary capacity 13 uses the semi-conductor thin film 10 as one electrode, and uses auxiliary wiring 14 as the electrode of another side. Gate dielectric film and the dielectric film of this layer intervene among two electrodes 10 and 14. In addition, the gate electrode G, the scan wiring 8, and the auxiliary wiring 14 consist of the same layer, and are electrically insulated from the drawer electrodes 11 and 12 with the 1st interlayer insulation film 15.

[0009] It is placed between the medium-rise sections between a management and the lower layer section by the light-shielding film which has conductivity. This light-shielding film is divided into mask light-shielding film 16M and pad light-shielding film 16P. These light-shielding films 16M and 16P consist of a metal membrane. Along with the line writing direction of a pixel, patterning of mask light-shielding film 16M is carried out continuously, and they shade a switching element 7 selectively at least. Mask light-shielding film 16M are pinched from the upper and lower sides with the 2nd interlayer insulation film 17 and the flattening film 18, and are insulated from the lower layer section and a management. Mask light-shielding film 16M are held at fixed potential equal to the potential of a counterelectrode 5. On the other hand, patterning of pad light-shielding film 16P is carried out discretely every pixel 4. It is placed between the contact sections C between corresponding pixel electrodes 6 and

switching elements 7 by pad light-shielding film 16P, and they aim at the electrical installation and protection from light.

[0010] Finally, the manufacture approach of the active matrix liquid crystal display shown in drawing 1 is explained to a detail. The pixel substrate 1 consists of glass or a quartz, and forms the semi-conductor thin film 10 with a reduced pressure CVD method on this pixel substrate 1. For example, this semi-conductor thin film 10 consists of polycrystalline silicon deposited on about 50nm thickness, and is used as a barrier layer of a thin film transistor. After membranes are formed, patterning of this semi-conductor thin film 10 is carried out to the shape of an island. the semi-conductor thin film 10 top -- for example, SiO₂ from -- the becoming gate dielectric film is formed. Here, as an ingredient of the semi-conductor thin film 10, amorphous silicon etc. may be used other than polycrystalline silicon. Moreover, as an ingredient of gate dielectric film, it is SiO₂. SiN, tantalum oxide, these cascade screens, etc. may be used for others.

[0011] Next, the scan wiring 8, the gate electrode G, and auxiliary wiring 14 grade are simultaneously formed on the pixel substrate 1. For example, after depositing polycrystalline silicon in about 350nm thickness with a reduced pressure CVD method, an impurity is doped, low resistance-ization is attained and patterning is carried out to a further predetermined configuration. As an ingredient of these scan wiring 8, the gate electrode G, and the auxiliary wiring 14, metals, such as Ta, Mo, aluminum, and Cr, those silicide, a polycide, etc. may be used other than polycrystalline silicon. Thus, the thin film transistor which consists of the semi-conductor thin film 10, gate dielectric film, and a gate electrode G is formed, and it becomes a switching element 7. In this example, although this thin film transistor is a planar mold, it may adopt a forward stagger mold, a reverse stagger mold, etc. Simultaneously, the auxiliary capacity 13 is also formed in the semi-conductor thin film 10.

[0012] Next, PSG etc. is deposited in about 600nm thickness with an ordinary pressure CVD method, and the 1st interlayer insulation film 15 is formed. This 1st interlayer insulation film 15 has covered the scan wiring 8, the gate electrode G, and auxiliary wiring 14 grade which were mentioned above. Opening of the contact hole which arrives at the source field S and the drain field D of a thin film transistor is carried out to this 1st interlayer insulation film 15. On the 1st interlayer insulation film 15, patterning formation of signal wiring 9 or the drawer electrodes 11 and 12 is carried out. For example, aluminum is deposited in about 600nm thickness by the sputtering method, patterning is carried out to a predetermined configuration, and it is processed into signal wiring 9 and the drawer electrodes 11 and 12. It connects with the source field S of a thin film transistor through a contact hole, and, similarly one drawer electrode 11 connects the drawer electrode 12 of another side to the drain field D of a thin film transistor through a contact hole. As an ingredient of these signal wiring 9 and the drawer electrodes 11 and 12, Ta, Cr, Mo, nickel, etc. may be used other than aluminum.

[0013] The 2nd interlayer insulation film 17 is formed on signal wiring 9 or the drawer electrodes 11 and 12, and these are covered. For example, PSG is deposited in about 600nm thickness with an ordinary pressure CVD method, and the 2nd interlayer insulation film 17 is formed. Opening of the contact hole C which reaches the drawer electrode 12 is carried out to this 2nd interlayer insulation film 17. On this 2nd interlayer insulation film 17, mask light-shielding film 16M and pad light-shielding film 16P are formed. For example, Ti is deposited in about 250nm thickness by the sputtering method, patterning is carried out to a predetermined configuration, and it is processed into mask light-shielding film 16M and pad light-shielding film 16P. Mask light-shielding film 16M are in contact with fixed potential in the field besides a display pixel. On the other hand, pad light-shielding film 16P are in contact with the drawer electrode 12 through the contact hole C mentioned above. Mask light-shielding film 16M are crossed to all display pixel fields, and are connected mutually.

[0014] The flattening film 18 is formed so that mask light-shielding film 16M and pad light-shielding film 16P may be covered. This flattening film 18 has sufficient thickness, in order to bury and carry out flattening of a switching element or the irregularity of each wiring. the front face of the flattening film 18 -- abbreviation -- it is in a perfect flat-surface condition, and patterning formation of the pixel electrode 6 is carried out on it. Therefore, except for the level difference of the end face, irregularity does not exist in the level of the pixel electrode 6 at all. It is required that the flattening film 18 should generally be transparent and colorless. Moreover, since it is necessary to form a contact hole C, micro processing must be possible. Furthermore, in order to use a chemical for etching of the pixel electrode 6 etc., desired chemical resistance is required. In addition, since it is exposed to an elevated temperature at an after process, predetermined thermal resistance is required. In order to fulfill these demand characteristics, a desired organic material and a desired inorganic material are chosen. As an organic material, acrylic resin and polyimide resin are mentioned, for example. Although polyimide is excellent in thermal resistance, it has coloring a little. On the other hand, acrylic resin is transparent and colorless to

abbreviation completeness. These resin is applied by the spin coat method, a replica method, etc. As an inorganic material, the inorganic glass which uses a silicon dioxide as a principal component, for example is mentioned. In this example, suitable acrylic resin to have predetermined viscosity and bury irregularity is used.

[0015] Then, the pixel electrode 6 is formed on the flattening film 18. For example, transparency electric conduction film, such as ITO, is formed by 30**5nm thickness by the sputtering method, patterning is carried out to a predetermined configuration, and it is processed into the pixel electrode 6. Furthermore, orientation coats, such as polyimide, are formed so that this pixel electrode 6 may be covered. Rubbing of this orientation coat is carried out in the predetermined direction, and it is referred to as orientation side 20B. The opposite substrate 2 with which it becomes the last from glass etc. and the counterelectrode 5 is formed in the whole surface is joined to the pixel substrate 1. The liquid crystal layer 3 is enclosed with the gap of both the substrates 1 and 2. Under the present circumstances, orientation side 20T are beforehand formed also in the opposite substrate 2. For this reason, the liquid crystal layer 3 is held in respect of [20T and 20B] orientation from the upper and lower sides, for example, twist orientation is carried out.

[0016] In addition, although 3 terminal component which consists of a thin film transistor as a switching element 7 is used with the operation gestalt mentioned above, it can replace with this and 2 terminal components, such as diode, a varistor, and a metal-insulating material-metal (MIM) component, can be used as a switching element. When using 2 terminal component, two or more matrix-like pixel electrodes, 2 terminal component, the 1st electrode group, etc. are prepared in the pixel substrate 1 side, and the 2nd electrode group which intersects the 1st electrode group is prepared in the opposite substrate 2 side. In addition, with the operation gestalt mentioned above, the pixel electrode 6 was connected to the drain field D of a thin film transistor, and signal wiring 9 has connected with the source field S. However, since actually carries out alternating current actuation of the liquid crystal layer 3, the source field S of a thin film transistor and the drain field D exchanges [the role] by turns.

[0017]

[Effect of the Invention] The pixel electrode is formed on the flattening film which was explained above and which covers a switching element etc. like according to this invention, and buries irregularity, and this pixel electrode is thin-film-ized in the range whose thickness is 10nm - 60nm. Thus, by thin-film-izing the pixel electrode located in the maximum upper layer of a pixel substrate, the buff dregs generated at the time of rubbing processing were controlled, and the pixel inter-electrode short circuit defect is prevented effectively.

[Brief Description of the Drawings]

[Drawing 1] It is the typical sectional view showing the operation gestalt of the liquid crystal display concerning this invention.

[Drawing 2] It is the mimetic diagram showing an example of the conventional liquid crystal display.

[Description of Notations]

- 1 Pixel Substrate
- 2 Opposite Substrate
- 3 Liquid Crystal Layer
- 5 Counterelectrode
- 6 Pixel Electrode
- 7 Switching Element
- 20B Orientation side
- 20T Orientation side

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-43640

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136 1/1343	5 0 0		G 0 2 F 1/136 1/1343	5 0 0

審査請求 未請求 請求項の数 3 F D (全 6 頁)

(21) 出願番号 特願平7-215385

(22) 出願日 平成7年(1995)7月31日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 佐藤 拓生

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 岩永 利彦

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 橋本 芳浩

東京都品川区北品川6丁目7番35号 ソニー株式会社内

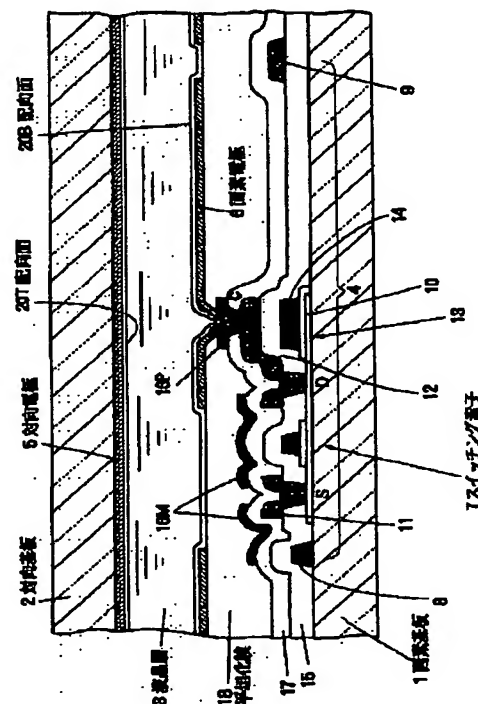
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 微細化された画素電極間におけるラビング処理による短絡欠陥を防止する。

【解決手段】 液晶表示装置は配向面20Tを有する対向基板2と、同じく配向面20Bを有する画素基板1と、両配向面20T、20Bの間に保持された液晶層3とを備えたパネル構造を有する。対向基板2は配向面20Tに沿って連続的に形成された対向電極5を備えている。画素基板1は少なくとも、複数のスイッチング素子7と、スイッチング素子7を被覆して凹凸を埋める平坦化膜18と、配向面20Bに沿って平坦化膜18の上に分割的に形成され且つスイッチング素子7により個々に駆動される画素電極6とを備えている。画素電極6は厚みが10nm～60nmの範囲で薄膜化された透明導電膜からなり、ラビング時に繊維屑が生じるのを防止する。



【特許請求の範囲】

【請求項1】 配向面を有する対向基板と、同じく配向面を有する画素基板と、両配向面の間に保持された液晶層とを備えたパネル構造を有し、

前記対向基板は該配向面に沿って連続的に形成された対向電極を備え、

前記画素基板は少なくとも、複数のスイッチング素子と、該スイッチング素子を被覆して凹凸を埋める平坦化膜と、配向面に沿って該平坦化膜の上に分割的に形成され且つ該スイッチング素子により個々に駆動される画素電極とを備え、

前記画素電極は厚みが10nm～60nmの範囲で薄膜化された透明導電膜からなる液晶表示装置。

【請求項2】 前記画素電極は5μm以下の間隔で互いに分離している請求項1記載の液晶表示装置。

【請求項3】 前記画素基板は該画素電極を被覆する配向被膜を含んでおり、該配向被膜はラビング処理を施されて配向面を形成する請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型の液晶表示装置に関する。より詳しくは画素電極の構造に関する。

【0002】

【従来の技術】液晶表示装置はテレビやグラフィックディスプレイ等に盛んに用いられている。その中でも、特にアクティブマトリクス型の液晶表示装置は高速応答性を有し、高画素数化に適しており、ディスプレイ画面の高画質化、大型化、カラー化等を実現するものとして期待され、研究開発が進められて既に実用化されたものがある。アクティブマトリクス型の液晶表示装置は一般に、画素基板と対向基板と両者の間に保持された液晶層とからなるフラットパネル構造を有している。図2に画素基板の従来構造を示す。画素基板101はガラス等の透明板材を用いており、その上には薄膜トランジスタ等のスイッチング素子102が集積形成されている。図では簡単な為1個のスイッチング素子のみを示している。このスイッチング素子102は平坦化膜103により被覆されており、その上に透明導電膜からなる画素電極104がパタニング形成されている。画素電極104の表面は布材（バフ）105により所定方向にラビングされており、液晶層に対する配向面を構成する。なお、場合によっては画素電極104を所定の配向被膜で被覆した後ラビングを行なう。この構造ではスイッチング素子102や配線の凹凸を埋める為に平坦化膜103が用いられている。画素の微細化に伴って平坦化膜103は必須の構成要素となっている。この平坦化膜103の上に画素電極104がパタニングされる為、配向面は極めて平坦性に優れている。従って、布材105を用いたラビングが均一に行なえ、液晶層の配向異常を顕著に抑制

できる。

【0003】

【発明が解決しようとする課題】しかしながら、配向面が平坦化された為、逆にパタニングされた画素電極104の端部における段差106が目立つ様になってきた。この段差106に布材105の繊維107が引っ掛かり、これが削れて微小な有機物のゴミ（バフカス）108を発生させていた。このバフカス108は配向面に付着し、場合によっては隣接する画素電極104の間に介在する。バフカス108は例えばセルロースを主成分とし水分等を吸着して電流リークの原因になる。隣接する画素電極104間に渡ってバフカス108が付着すると電流リークが生じ画素の点欠陥となって現われ、表示品位を著しく損なうという課題があった。スイッチング素子102を構成する薄膜トランジスタのリーク電流レベルが例えば 10^{-13} A程度であるのに対し、バフカス108のリーク電流量は 10^{-10} A程度に達する為、点欠陥の重大な原因になっていた。このバフカス108は超音波洗浄等では容易に除去できず、対策が望まれていた。

【0004】

【課題を解決するための手段】上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明にかかる液晶表示装置は基本的な構成として、配向面を有する対向基板と、同じく配向面を有する画素基板と、両配向面の間に保持された液晶層とを備えたパネル構造を有する。前記対向基板は該配向面に沿って連続的に形成された対向電極を備えている。前記画素基板は少なくとも、複数のスイッチング素子と、該スイッチング素子を被覆して凹凸を埋める平坦化膜と、配向面に沿って該平坦化膜の上に分割的に形成され且つ該スイッチング素子により個々に駆動される画素電極とを備えている。特徴事項として、前記画素電極は厚みが10nm～60nmの範囲で薄膜化された透明導電膜からなる。本発明の一実施態様では、前記画素電極は5μm以下の間隔で互いに分離している。又他の態様によれば、前記画素基板は該画素電極を被覆する配向被膜を含んでおり、該配向被膜はラビング処理を施されて配向面を形成する。

【0005】本発明によれば、平坦化膜の上にパタニング形成された画素電極が、10nm～60nmの厚み範囲で薄膜化された透明導電膜からなる。配向面に沿って最上層に位置する画素電極を薄膜化する事で、配向面に現われる段差を抑制している。これにより、ラビング処理時のバフカス（有機物のゴミ）の発生を防止し、画素電極間の短絡欠陥を抑える事が可能になる。

【0006】

【発明の実施の形態】以下図面を参照して本発明にかかる液晶表示装置の最良な実施形態を詳細に説明する。図1は本液晶表示装置の基本的な構成を示す模式的な断面図である。図示する様に、本液晶表示装置は所定の間隔

を介して対面配置された一対の画素基板1及び対向基板2を用いて組み立てられている。画素基板1は配向面20Bを備えており、対向基板2も同じく配向面20Tを備えている。両基板1、2の間隙には液晶層3が注入されており、上下から配向面20T、20Bにより挟持され、その配向状態が制御されている。例えば、互いに直交する方向にラビングされた配向面20T、20Bにより挟持されたネマティック液晶層3は周知の様にツイスト配向状態を呈する。対向基板2は配向面20Tに沿って連続的に形成された対向電極5を備えている。画素基板1は少なくとも、複数のスイッチング素子7と、このスイッチング素子7を被覆して凹凸を埋める平坦化膜18と、配向面20Bに沿って平坦化膜18の上に分割的に形成され且つスイッチング素子7により個々に駆動される画素電極6とを備えている。このスイッチング素子7は例えば薄膜トランジスタからなる。本発明の特徴事項として、画素電極6は厚みが10nm〜60nmの範囲で薄膜化された透明導電膜からなる。又、この画素電極6は5μm以下の間隔で互いに分離しており微細化されている。さらに、画素基板1は画素電極6を被覆する配向被膜を含んでおり、この配向被膜はラビング処理を施されて配向面20Bを形成する。

【0007】従来、画素電極6を構成する透明導電膜の膜厚は100〜150nm程度に設定されていた。例えば130〜140nmの膜厚が多用されている。この様に比較的厚い透明導電膜を用いた理由は、干渉による可視光透過率の最適化と段差カバレッジを重視した為である。即ち、膜厚を100〜150nm程度に設定すると薄膜干渉による可視光の反射を抑制でき、透過率の最適化が図れる。さらには、下地に現われる段差を十分にカバーして配向面の平坦性を保つ為、100〜150nm程度の比較的厚い膜厚が採用されていた。しかしながら、この膜厚では画素電極の端部にラビング用の布材の繊維が引っ掛かりバフカスが大量に発生する為画素間の短絡欠陥を生じていた。そこで、本発明では透明導電膜の厚みを60nm以下に制御して画素電極を形成した。この程度の膜厚であれば布材の繊維が透明導電膜の端部に引っ掛かる事はなかった。透過率については干渉によりやや低下するが、液晶パネル構造内では可視光域で約95%以上を確保でき、実用上問題は無い。段差カバレッジについても透明導電膜の下地を予め平坦化膜で平坦化している為、画素電極を薄膜化しても特に問題は生じない。ところで、画素電極を被覆する配向被膜は一般にポリイミドフィルム等からなり、その厚みは30nm〜100nm程度である。好ましくは40nm〜50nm程度に制御されている。これに対し画素電極を構成する透明導電膜の厚みを60nm以下に抑制すれば端面の段差が実質的には配向被膜により緩和される為殆どバフカスが発生しない。一方、透明導電膜の厚みを10nm以下に超薄膜化すると均一な組成を得る事が困難である。そこで、本発明では透

明導電膜の最適な膜厚範囲として10nm〜60nmを設定している。例えば、ITO等の透明導電膜を30nm±5nmの厚み範囲でスパッタリングにより成膜すれば本発明の膜厚条件を十分に満たす事ができる。この場合には布材の繊維は画素電極の端部に殆ど引っ掛からずバフカスが発生しない為、画素間の短絡欠陥は防止できる。なお、一般にバフカスは微小である為、特に画素電極の間隔が5μm以下に微細化した場合本発明の効果が高く、点欠陥を大幅に抑制できる。透明導電膜の材料はITOに限られるものではなく、酸化錫や有機透明導電材料を用いても良い。

【0008】引き続き図1を参照して本液晶表示装置の構成を具体的に説明する。画素基板1は行列配置した画素4を有している。なお、図では1個の画素のみを取り出して表わしている。画素基板1は上層部と中層部と下層部とに分かれている。上層部は各画素4毎に形成された画素電極6を含んでおり、平坦化膜18の上にパタニング形成されている。前述した様に、この画素電極6は膜厚が10nm〜60nmに設定された透明導電膜からなる。画素電極6はポリイミド等からなる配向被膜により覆われており、この配向被膜は布材等でラビングを施され配向面20Bを形成している。これに対し、下層部は個々の画素電極6を駆動するスイッチング素子7、画素4の各行に対応してスイッチング素子7の行を走査する走査配線8及び画素4の各列に対応してスイッチング素子7の列に所定の画像信号を供給する信号配線9とを含んでいる。なおスイッチング素子7は薄膜トランジスタで構成されており、多結晶シリコン等からなる半導体薄膜10を活性層として用いる。半導体薄膜10の上にはゲート絶縁膜を介してゲート電極Gがパタニング形成されている。このゲート電極Gは前述した走査配線8に連続している。薄膜トランジスタはゲート電極Gの両側にソース領域S及びドレイン領域Dを備えている。ソース領域S側には一方の引出電極11が接続しており、前述した信号配線9に連続している。ドレイン領域Dには他方の引出電極12が接続している。なお、半導体薄膜10には上述した薄膜トランジスタに加え補助容量13も形成されている。この補助容量13は半導体薄膜10を一方の電極とし補助配線14を他方の電極とする。両電極10、14の間にゲート絶縁膜と同層の誘電体膜が介在している。なお、ゲート電極G、走査配線8及び補助配線14は同一層からなり、第1層間絶縁膜15により、引出電極11、12から電氣的に絶縁されている。

【0009】上層部と下層部との間の中層部には導電性を有する遮光膜が介在している。この遮光膜はマスク遮光膜16Mとパッド遮光膜16Pとに分割されている。これらの遮光膜16M、16Pは金属膜からなる。マスク遮光膜16Mは画素の行方向に沿って連続的にパタニングされ、少なくとも部分的にスイッチング素子7を遮光する。マスク遮光膜16Mは第2層間絶縁膜17及び

平坦化膜18により上下から挟持されており、下層部及び上層部から絶縁されている。マスク遮光膜16Mは例えば対向電極5の電位と等しい固定電位に保持されている。一方、パッド遮光膜16Pは画素4毎に離散的にパタニングされている。パッド遮光膜16Pは対応する画素電極6とスイッチング素子7との間のコンタクト部Cに介在してその電氣的接続及び遮光を図る。

【0010】最後に、図1に示したアクティブマトリクス型液晶表示装置の製造方法を詳細に説明する。画素基板1はガラス又は石英等からなり、この画素基板1の上に減圧CVD法で半導体薄膜10を成膜する。例えば、この半導体薄膜10は50nm程度の膜厚に堆積した多結晶シリコンからなり、薄膜トランジスタの活性層として用いられる。この半導体薄膜10は成膜された後アイランド状にパタニングされる。半導体薄膜10の上に例えばSiO₂からなるゲート絶縁膜を成膜する。ここで、半導体薄膜10の材料としては多結晶シリコンの他に非晶質シリコン等を用いても良い。又、ゲート絶縁膜の材料としてはSiO₂の他に、SiNや酸化タンタル及びこれらの積層膜等を用いても良い。

【0011】次に、画素基板1の上に走査配線8、ゲート電極G、補助配線14等を同時に形成する。例えば、減圧CVD法により350nm程度の膜厚で多結晶シリコンを堆積した後、不純物をドーピングして低抵抗化を図り、さらに所定の形状にパタニングする。これらの走査配線8、ゲート電極G及び補助配線14の材料としては、多結晶シリコンの他に、Ta、Mo、Al、Cr等の金属やそれらのシリサイド、ポリサイド等を用いても良い。この様にして、半導体薄膜10、ゲート絶縁膜及びゲート電極Gからなる薄膜トランジスタが形成され、スイッチング素子7となる。本例ではこの薄膜トランジスタはプレーナ型であるが正スタガ型や逆スタガ型等を採用しても良い。同時に、半導体薄膜10には補助容量13も形成される。

【0012】次に常圧CVD法により600nm程度の膜厚でPSG等を堆積し第1層間絶縁膜15を形成する。この第1層間絶縁膜15は上述した走査配線8、ゲート電極G、補助配線14等を被覆している。この第1層間絶縁膜15には薄膜トランジスタのソース領域Sやドレイン領域Dに達するコンタクトホールが開口されている。第1層間絶縁膜15の上には信号配線9や引出電極11、12がパタニング形成されている。例えば、スパッタリング法により600nm程度の膜厚でアルミニウムを堆積し、所定の形状にパタニングして信号配線9及び引出電極11、12に加工する。一方の引出電極11はコンタクトホールを介して薄膜トランジスタのソース領域Sに接続し、他方の引出電極12は同じくコンタクトホールを介して薄膜トランジスタのドレイン領域Dに接続する。これら信号配線9及び引出電極11、12の材料としては、Alの他に、Ta、Cr、Mo、Ni等を

用いても良い。

【0013】信号配線9や引出電極11、12の上には第2層間絶縁膜17が成膜されており、これらを被覆する。例えば、常圧CVD法により600nm程度の膜厚でPSGを堆積して第2層間絶縁膜17を形成する。この第2層間絶縁膜17には引出電極12に達するコンタクトホールCが開口されている。この第2層間絶縁膜17の上にはマスク遮光膜16M及びパッド遮光膜16Pが形成されている。例えば、スパッタリング法により250nm程度の膜厚でTiを堆積し、所定の形状にパタニングしてマスク遮光膜16M及びパッド遮光膜16Pに加工する。マスク遮光膜16Mは表示画素外の領域で固定電位にコンタクトしている。一方、パッド遮光膜16Pは前述したコンタクトホールCを介して引出電極12にコンタクトしている。マスク遮光膜16Mは全表示画素領域に渡って互いに接続されている。

【0014】マスク遮光膜16M及びパッド遮光膜16Pを被覆する様に平坦化膜18が形成されている。この平坦化膜18はスイッチング素子や各配線の凹凸を埋め平坦化する為に十分な厚みを有している。平坦化膜18の表面は略完全な平面状態にあり、その上に画素電極6がパタニング形成される。従って、画素電極6のレベルにはその端面の段差を除いて何等凹凸が存在しない。平坦化膜18は一般に無色透明である事が要求される。又、コンタクトホールCを設ける必要がある為、微細加工が可能でなければならない。さらに、画素電極6のエッチング等に薬品を用いる為、所望の耐薬品性が要求される。加えて、後工程で高温に晒される為、所定の耐熱性を要求される。かかる要求特性を満たす為、所望の有機材料や無機材料が選択される。有機材料としては、例えばアクリル樹脂やポリイミド樹脂が挙げられる。ポリイミドは耐熱性に優れているが若干着色がある。これに対してアクリル樹脂は略完全に無色透明である。これらの樹脂は、例えばスピコート法や転写法等により塗布される。無機材料としては、例えば二酸化珪素を主成分とする無機ガラスが挙げられる。本例では、所定の粘性を有し凹凸を埋めるのに好適なアクリル樹脂を用いている。

【0015】この後、平坦化膜18の上に画素電極6を形成する。例えば、スパッタリング法により30±5nmの膜厚でITO等の透明導電膜を成膜し、所定の形状にパタニングして画素電極6に加工する。さらに、この画素電極6を被覆する様にポリイミド等の配向被膜を成膜する。この配向被膜を所定の方向にラビングして配向面20Bとする。最後に、ガラス等からなり対向電極5が全面に形成されている対向基板2を画素基板1に接合する。両基板1、2の間に液晶層3を封入する。この際、対向基板2にも予め配向面20Tが形成されている。この為、液晶層3は上下から配向面20T、20Bで保持され、例えばツイスト配向される。

【0016】なお、上述した実施形態では、スイッチング素子7として薄膜トランジスタからなる3端子素子を用いているが、これに代えてダイオード、バリスタ及び金属—絶縁物—金属（MIM）素子等の2端子素子を用いることができる。2端子素子を用いる場合は、マトリクス状の複数の画素電極、2端子素子、第1の電極群等を画素基板1側に設け、第1の電極群と交差する第2の電極群を対向基板2側に設ける。なお、上述した実施形態では薄膜トランジスタのドレイン領域Dに画素電極6を接続し、ソース領域Sに信号配線9が接続している。しかしながら、実際には液晶層3を交流駆動する為、薄膜トランジスタのソース領域S及びドレイン領域Dは交互にその役割が交換する。

【0017】

【発明の効果】以上説明した様に、本発明によれば、スイッチング素子等を被覆して凹凸を埋める平坦化膜の上に画素電極が形成されており、この画素電極は厚みが10nm～60nmの範囲で薄膜化されている。この様に、画*

* 素基板の最上層に位置する画素電極を薄膜化する事で、ラビング処理時に発生するバフカスを抑制し、画素電極間の短絡欠陥を効果的に防止している。

【図面の簡単な説明】

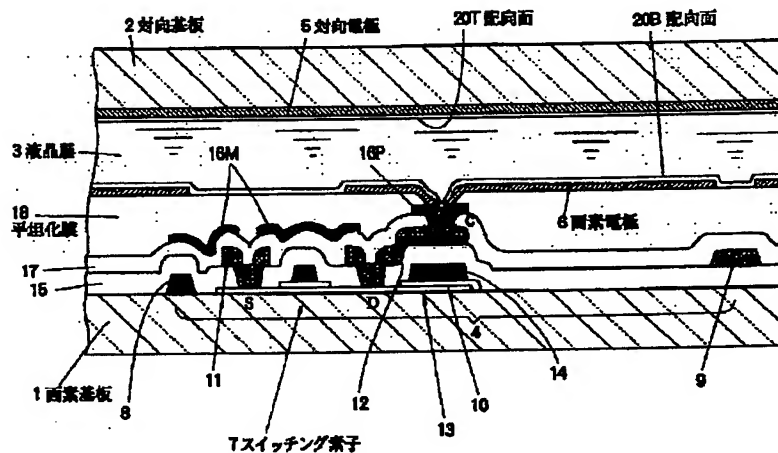
【図1】本発明にかかる液晶表示装置の実施形態を示す模式的な断面図である。

【図2】従来の液晶表示装置の一例を示す模式図である。

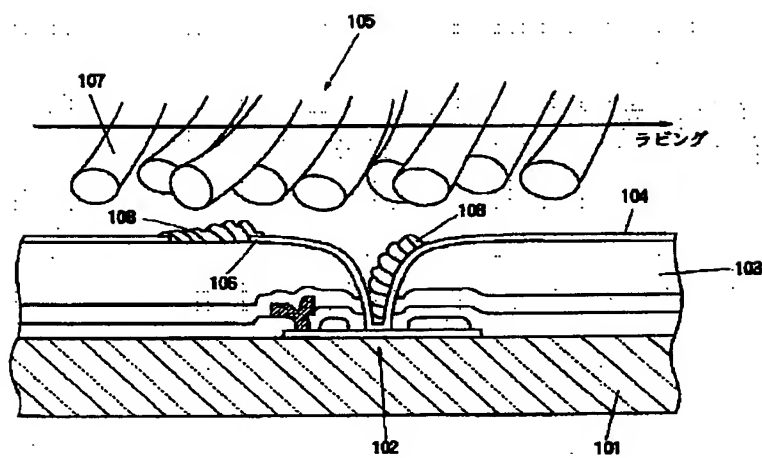
【符号の説明】

- | | |
|-----|----------|
| 1 | 画素基板 |
| 2 | 対向基板 |
| 3 | 液晶層 |
| 5 | 対向電極 |
| 6 | 画素電極 |
| 7 | スイッチング素子 |
| 20B | 配向面 |
| 20T | 配向面 |

【図1】



【図2】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.